

DREIDIMENSIONALE MODELLIERUNG ELEKTRONISCHER BAUTEILE

J. Cervenka¹, A. Hössinger², R. Minixhofer^{*}, T. Grasser¹ und S. Selberherr²

¹ Christian Doppler-Labor für TCAD in der Mikroelektronik am Institut für Mikroelektronik

² Institut für Mikroelektronik, Technische Universität Wien, A-1040 Wien, Gußhausstr. 27-29

^{*} austriamicrosystems AG, Schloss Premstätten, A-8141 Unterpremstätten

ZUSAMMENFASSUNG:

Bei der Entwicklung moderner mikroelektronischer Bauteile nehmen die Simulation des Herstellungsprozesses (Prozesssimulation) und die Simulation elektrischer Vorgänge im Inneren der Bauteile (Bauelementsimulation) einen wichtigen Stellenwert ein. Aufgrund steigender Miniaturisierung und Komplexität dieser Bauteile sind oft zweidimensionale Modelle, welche nur Schnitte durch das jeweilige Bauelement berücksichtigen, nicht mehr ausreichend. Sie sind nicht in der Lage, Vorgänge zu beschreiben, welche an Ecken der Geometrie hervorgerufen werden. Speziell in diesen Regionen können parasitäre Effekte die Bauelementcharakteristik bedeutend beeinflussen, oder sogar den Bauteil unbrauchbar machen. Um diese Vorgänge beschreiben zu können, muss deshalb auf dreidimensionale Modelle zurückgegriffen werden. Ebenso müssen Geometriedaten in geeigneter Weise zur Verfügung gestellt werden und Prozesssimulatoren, Gittergeneratoren und Bauteilsimulatoren auf drei Dimensionen erweitert werden. In dieser Arbeit sollen Möglichkeiten, Verfahren und Probleme dieser dreidimensionalen Betrachtung aufgezeigt werden.

PROBLEMSTELLUNGEN

Hauptprobleme stellen die benötigten Rechenzeiten und der enorme Speicherbedarf dar. Speziell bei dreidimensionalen Simulationen muss darauf geachtet werden, Simulationsergebnisse in tolerierbarem Zeitrahmen und mit akzeptablem Speicheraufwand liefern zu können. Eine dreidimensionale Simulation kann auch bei modernsten Rechnersystemen schnell an die Grenzen der Ressourcen stoßen.

Auch stellt die Art der Geometriebeschreibung ein Problem dar. Allgemeine dreidimensionale Strukturen können nur sehr schwierig „von Hand“ eingegeben werden. Um eine geeignete Geometriebeschreibung zu erhalten, muss zumeist auf eine vollständige Prozesssimulation zurückgegriffen werden.

DREIDIMENSIONALE PROZESSSIMULATION

Bei diesem Verfahren ist es notwendig, alle Herstellungsschritte dreidimensional zu simulieren. In vielen Fällen ist es möglich, die ersten Prozessschritte unter Verwendung zweidimensionaler Methoden durchzuführen und dann in die dritte Dimension zu erweitern. Dies soll anhand der Simulation einer Caywood-EEPROM-Speicherzelle verdeutlicht werden [1][2].

PROBLEMSTELLUNG

Der Querschnitt einer Caywood-EEPROM-Speicherzelle ist in Abbildung 1 dargestellt. Auf dem Siliziumblock wird ein dünnes Tunneloxid (Oxid) mit einer Dicke von 8,5nm aufgebracht. Darüber kommt das Floating-Gate (Poly1) zu liegen, welches durch eine 24nm (elektrischs effektives Siliziumdioxid Äquivalent) dicke ONO (Oxid/Nitrid/Oxid) Schicht vom Control-Gate (Poly2) getrennt wird.

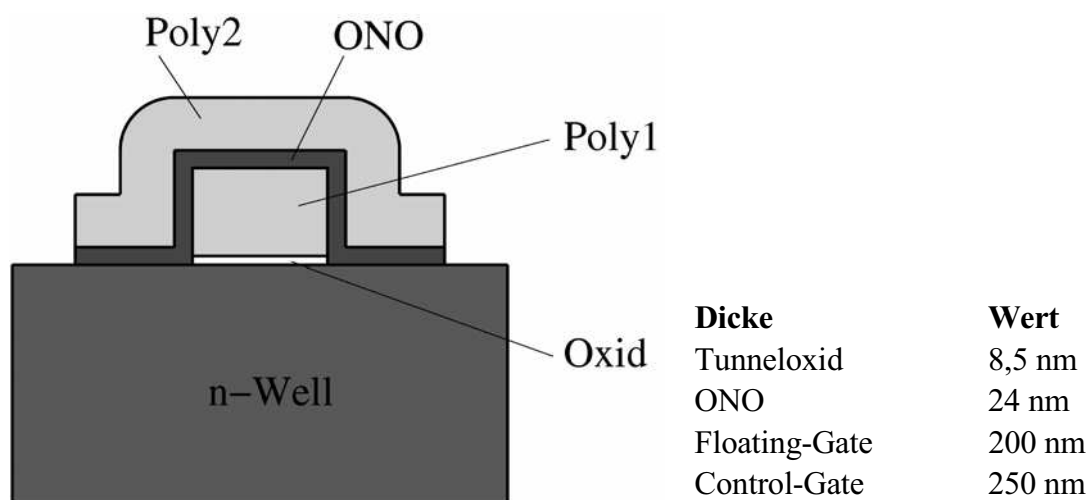


Abb. 1: Querschnitt einer Caywood Speicherzelle

Entscheidend für die Funktion dieses Bauteils, bzw. für Timing-Überlegungen zum Betrieb des Bauteils, ist es, einen genauen Wert für die Kapazität zwischen Floating- und Control-Gate zu kennen. Hierbei kann auf eine dreidimensionale elektrische Simulation nicht verzichtet werden, da das Control-Gate das Floating-Gate einhüllt und hierbei

dreidimensionale komplexe Geometrien vorliegen (siehe Abb. 2a-2d). Andererseits muss auch das Siliziumsegment mitsimuliert werden, da es einen bedeutenden Einfluss auf die Kapazität ausübt. Bei planarer Siliziumoberfläche könnte durch Spiegelung der Gates um die Siliziumoberfläche ein Resultat ermittelt werden. Durch den komplexen nichtplanaren Verlauf des Siliziums mit dem daraufliegenden Oxid kann diese Methode hier nicht angewendet werden.

Für die Simulation dieser Speicherzelle sind folgende Bereiche von Interesse: der Silizium-Wafer mit aufgebrachtem Oxid, welche noch durch zweidimensionale Simulation erzeugt werden können, und die darauffolgenden, nur mehr dreidimensional beschreibbaren Segmente, nämlich das Floating-Gate und das Control-Gate mit dazwischenliegenden Isolatorschichten, speziell eine dünne Oxid-, eine dünne Nitrid- und wieder eine dünne Oxidschicht (Abb. 1).

Die zweidimensionale Simulation der Herstellung der Silizium und Oxidschicht (Feld- + Tunneloxid) erfolgt mit dem Prozesssimulator DIOS-ISE [6]. Danach wird eine dreidimensionale Struktur durch Extrudierung in die dritte Achsenrichtung generiert.

Da nach der Expansion allerdings nur eine Oberflächendarstellung vorliegt, muss diese Geometrie einer Vergitterung unterzogen werden, um sie danach den auf Volumsgittern arbeitenden dreidimensionalen Prozesssimulator zur Verfügung stellen zu können. Bei dieser Gelegenheit ist ein etwas feineres Gitter gewählt worden, um die spätere Feldberechnung genauer durchführen zu können, siehe hierzu Abb. 2a. Es muss allerdings erwähnt werden, dass das hierbei erzeugte Gitter nicht ausreichend fein ist, um eine genaue dreidimensionale elektrische Bauteilsimulation durchzuführen. Für eine Abschätzung der Kapazitäten, welche ja großteils durch das Oxid beeinflusst wird, ist sie allerdings ausreichend.

Auf diese Struktur wird nun eine Maske gesetzt und die anschließende Abscheidung des Polysiliziums simuliert, wonach die Maske wieder entfernt wird. Danach werden ebenso die Oxid/Nitrid/Oxid Schichten aufgebracht und das Polysilizium des Control-Gates, mit abschließendem Wegätzen der überschüssigen Bereiche.

Die einzelnen Prozessschritte sind in den Abbildungen 2a bis 2d dargestellt. Zusätzlich ist die Anzahl der Gitterpunkte und Tetraeder angegeben, um einen Überblick über die Komplexität der Struktur zu erhalten. Durch Berücksichtigung der Symmetrieeigenschaften der Speicherzelle kann die Simulation auf nur ein Viertel der Originalstruktur beschränkt werden, was den Speicherverbrauch und die Rechenzeit ebenfalls auf ein Viertel verringert.

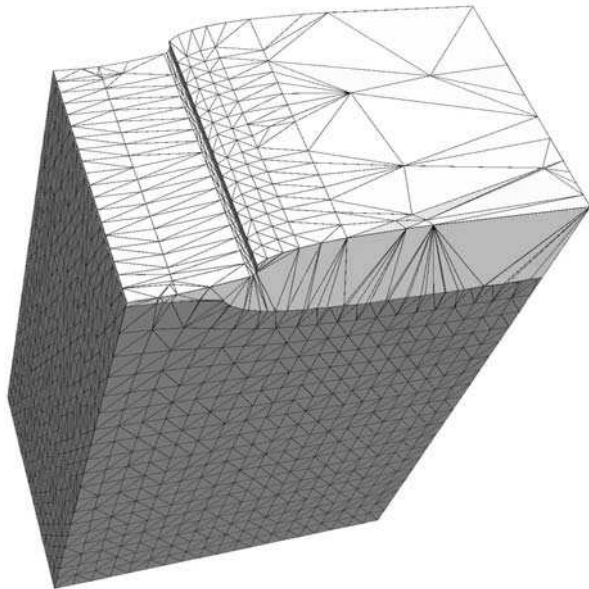


Abb. 2a: Extrudierte 2D Struktur,
8.800 Punkte, 51.000 Tetraeder

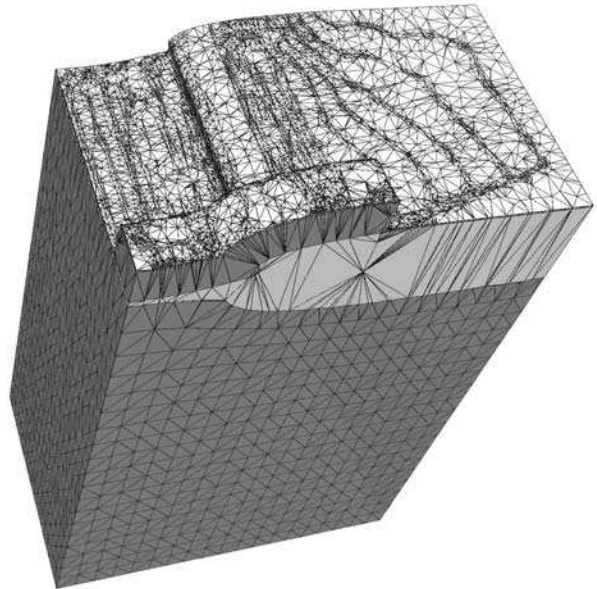


Abb. 2b: Floating-Gate und 1. Oxidschicht
aufgebracht, 18.300 Punkte, 69.000 Tetraeder

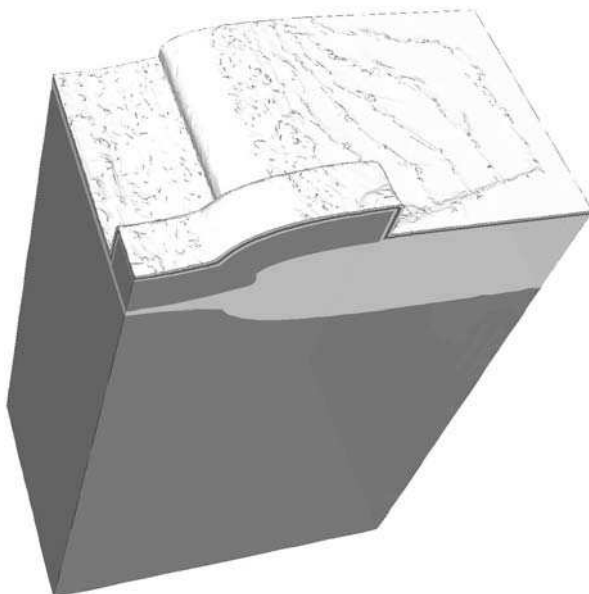


Abb. 2c: ONO Schichten addiert,
70.300 Punkte, 341.000 Tetraeder

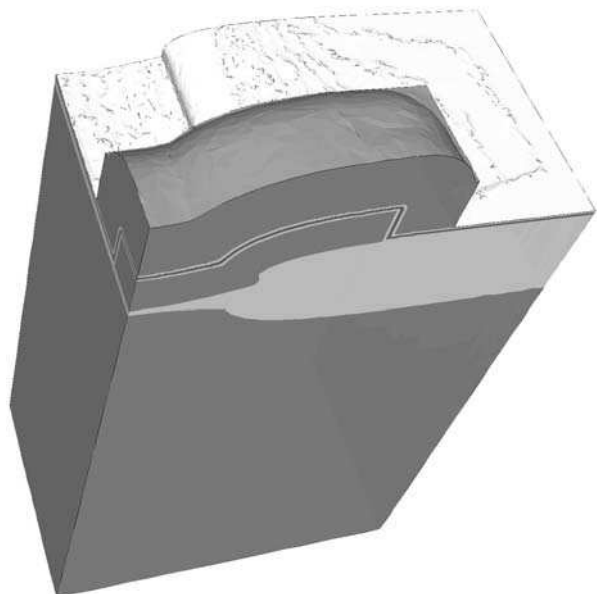


Abb. 2d: Control-Gate abgeschieden,
76.700 Punkte, 402.000 Tetraeder

ELEKTRISCHE KAPAZITÄTSSIMULATION

Für die Kapazitätsbestimmung wird das Programm STAP aus den Smart Analysis Programs verwendet [3]. Da in einigen Segmenten die Gitterelementauflösung noch recht gering ist, bzw. teilweise Gitterelemente von einer Seite der Segmentoberfläche direkt zur gegenüberliegenden reichen, wurde die Verfeinerungsoption in SAP aktiviert, wobei jeder Tetraeder in 8 kleinere zerlegt wird und auf diesem resultierenden Gitter die Feldberechnung erfolgt. Hierbei besitzt das endgültige Rechengitter 640.000 Tetraeder und 3,4 Millionen Gitterpunkte. Das Siliziumsegment wurde hierbei als Groundplane (auf Masse gelegt) mit einbezogen.

Ergebnisse dieser Kapazitätsberechnung sind:

C_{CG-Si} Kapazität Silizium – Control-Gate: $0,82 \cdot 10^{-16}$ F

C_{FG-Si} Kapazität Silizium – Floating-Gate: $1,1 \cdot 10^{-16}$ F

C_{CG-FG} Kapazität Control- – Floating-Gate: $2,3 \cdot 10^{-16}$ F

Kopplungskoeffizient K : $K = C_{CG-FG} / (C_{FG-Si} + C_{CG-FG}) \approx 68 \%$ (gemessen [1] : 74%)

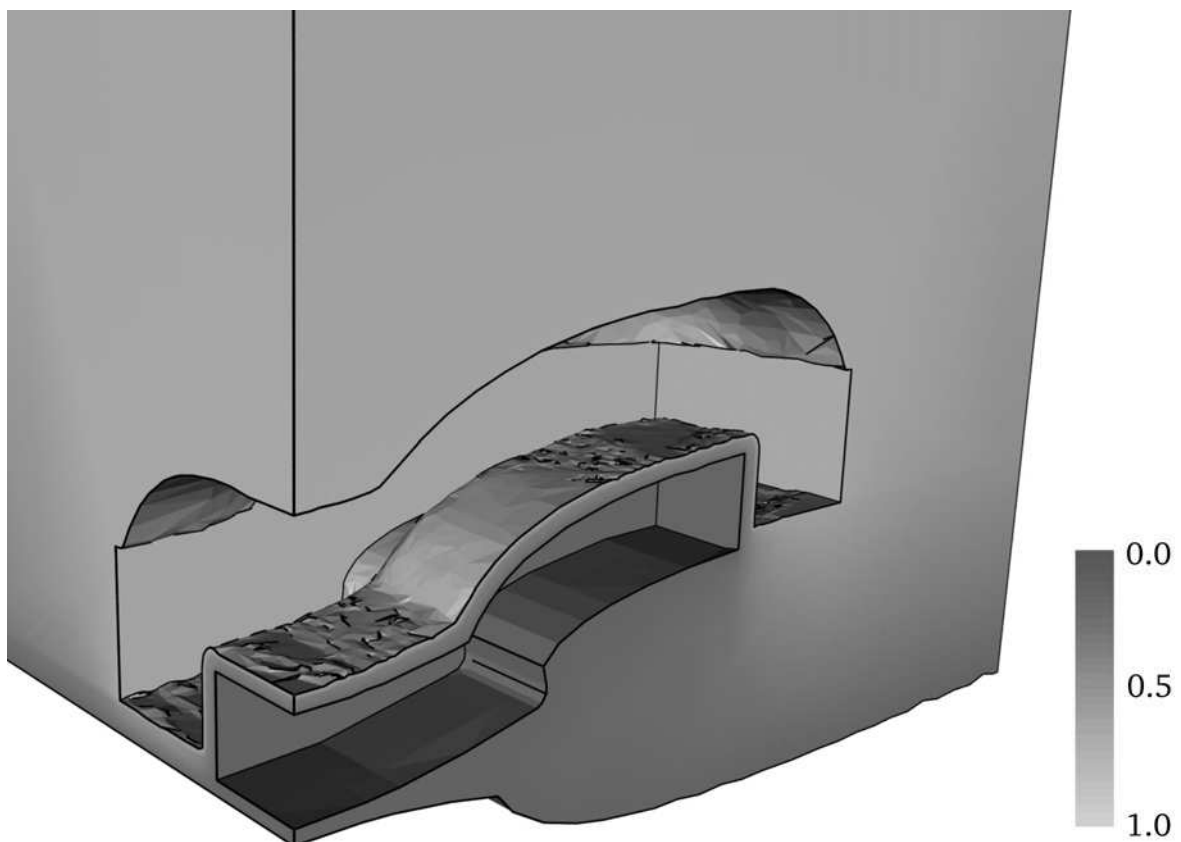


Abb. 3: Elektrisches Potential, Floating-Gate 0 V, Control-Gate 1V

In Abb. 3 ist der dazugehörige Potentialverlauf dargestellt. Zu beachten ist, dass über dem Control-Gate noch eine weitere Oxidschicht aufgebracht wurde, um das elektrische Feld auch

außerhalb des Bauelements zu berücksichtigen. Das Silizium, Floating- und Control-Gate sind bei dieser Darstellung entfernt worden.

AUSBLICK

Auffallend ist, dass eine anfänglich einfache Struktur (8.800 Gitterpunkte) zu einer ziemlich komplexen (76.700 Gitterpunkte) anwächst. Anfängliche Versuche, das vollständige Bauelement zu generieren, ohne Symmetrien auszunutzen, scheiterten am Speicherbedarf. Zur Verfügung stand ein 32-Bit Rechnersystem mit 4 GByte Speicherausbau, wobei allerdings dem einzelnen Prozess nur bis zu 3 GByte zugewiesen werden können. Da allgemein für dreidimensionale Simulationen der Speicherbedarf enorm ist, besteht dringende Notwendigkeit von 64-Bit Systemen mit genügend Speicherressourcen. Zusätzlich besteht auch Bedarf an einem Werkzeug zur Geometrievereinfachung, ein Großteil der erzeugten Gitterpunkte entsteht durch Schnittoperationen mit den hinzukommenden Segmenten und ebenso durch den Gittergenerator, welcher unzählige Punkte an der Oberfläche einfügen muss, um die Delaunay-Bedingungen gewährleisten zu können.

Hingegen benötigt die elektrische Kapazitätssimulation eher minimale Ressourcen von etwa 350 MB Speicher, und dies bei eingeschaltetem Gitter-Refinement, was immerhin zu einer Verachtfachung der Tetraederanzahl führt.

Weiterführende Simulationen werden eine Ionenimplantation mit durchgeführtem thermischen Diffusionsvorgang bis zu einer dreidimensionalen Bauelement Simulation umfassen, wobei der Bauteilsimulator Minimos-NT Verwendung finden wird [4][5].

LITERATURANGABE

1. J. M. Caywood, C.J. Huang, and Y.J. Chang, "A Novel Nonvolatile Memory Cell Suitable for Both Flash and Byte-Writable Applications", IEEE Transactions on Electron Devices, Vol. 49, No. 5, May 2002
2. C.J. Huang, Y.C. Liu, M. C. Wang, J.M. Caywood, S.F. Hong, A. Wu, L.C. Hsia, Y.J. Chang, and F.T. Liu, "A Novel P-Channel Flash Electrically-Erasable Programmable Read-Only Memory (EEPROM) Cell with Oxide-Nitride-Oxide (ONO) as Split Gate Channel Dielectric", 2001 Japanese Journal of Applied Physics, Vol. 40, April 2001
3. R. Sabelka and S. Selberherr, "SAP --- A Program Package for Three-Dimensional Interconnect Simulation", Proc. Intl. Interconnect Technology Conference, ISBN 0-7803-4285-2, June 1998
4. Three-Dimensional Device Simulation with MINIMOS-NT, R. Klima, Dissertation, Institut für Mikroelektronik, Technische Universität Wien, Austria, <http://www.iue.tuwien.ac.at/phd/klima>
5. Minimos-NT 2.0 User's Guide, IµE, Institut für Mikroelektronik, Technische Universität Wien, Austria, <http://www.iue.tuwien.ac.at/software/minimos-nt>
6. DIOS-ISE, ISE TCAD Release 6.0, ISE Integrated System Engineering AG, Zürich, Switzerland