MINIMOS – Zweidimensionale Modellierung von MOS-Transistoren

Benutzerorientiertes Programm zur Simulation von planaren MOS-FETs (Teil 2)

S. Selberherr, A. Schütz, H. Pötzl

Das physikalische Modell, das dem Programmpaket *MINIMOS* zugrunde liegt sowie dessen numerische Realisierung wurden in Heft 9 vorgestellt und erläutert. Der abschließende zweite Teil ist den Ergebnissen des auf der TU entwickelten Computerprogramms gewidmet. Die Forschungsarbeit hat internationale Beachtung gefunden und wurde erstmalig im IEEE-Journal publiziert. Der vorliegende Artikel in der *ES* stellt die erste deutschsprachige Veröffentlichung dar.

3. Ergebnisse

Es ist schwierig Beispiele zu finden, die sowohl für den erfahrenen Leser von Interesse sind als auch leicht verständlich für allgemein an der Simulation Interessierte ohne spezifische Kenntnisse auf dem MOS-Gebiet. Ein geeignetes Beispiel dieser Art, das eine typische Anwendung von *MINIMOS* zeigt, ist die Analyse des Einflusses der Ionenimplantation auf Kurzkanal-Transistoren. Zu diesem Zweck wurden drei Transistoren, deren Daten im folgenden direkt mittels der *MINIMOS*-Eingabesätze (*Bild 2*) angegeben werden, simuliert.

Die erste Zeile jedes der drei Eingabesätze ist eine Überschrift, mit der der Ausdruck gekennzeichnet wird. Die weitere Syntax basiert auf einer Schlüsselwort-Parameter-Wert-Struktur und ist selbstverständlich vollkommen frei formatiert. Die zweite Zeile mit „DEVICE" als Schlüsselwort beschreibt Typ und Geometrie des Transistors. Spezifiert wurde ein n-Kanal Bauelement (CHANNEL = N) mit Aluminium Gate (GATE = AL) einer Oxiddicke von 500 Å (TOX = 500 · E – 8), einer Kanalweite von 10 µm (W = 10 · E – 4) und einer Kanallänge von 1 µm (L = 1 · E – 4). Mit der „BIAS"-Direktive wird der Arbeitspunkt beschrieben. Eine Drain-Spannung von 2 V (UD = 2 ·) und eine Gate-Spannung von 0 V (UG = 0) wurden gewählt. Wenn die Substratvorspannung nicht explizit angegeben ist, wird der Wert 0 V von *MINIMOS* angenommen. Die „PROFILE"-Direktive dient zur Angabe der Substratdotierung und des Source-Drain-Profiles. In diesem Beispiel wurde der einfachste Weg der Definition eines Dotierungsprofils gewählt, die direkte Berechnung mit *MINIMOS*.

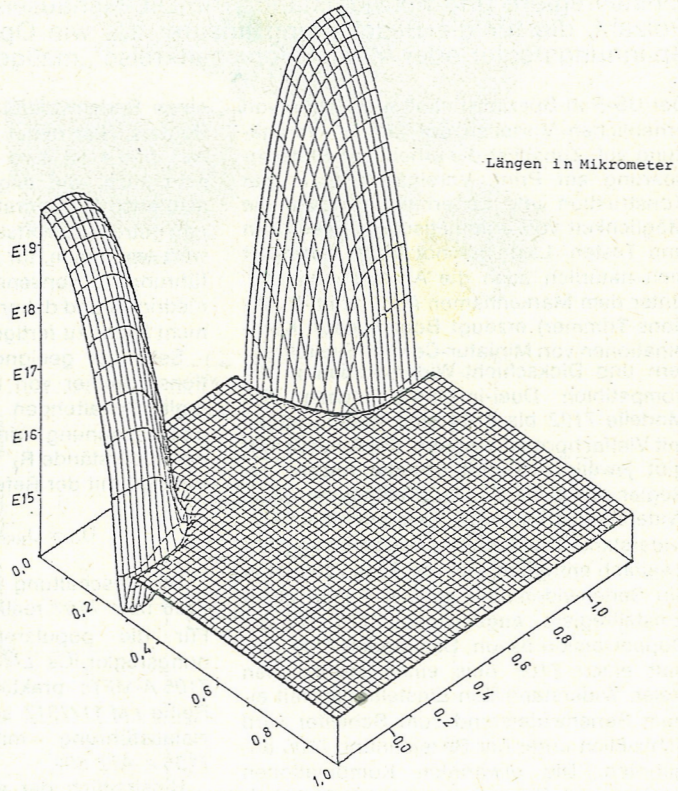

Bild 3: *Dotierungsprofil des ersten Transistors (cm^{-3}).*

```
ONE - MICRON ANALYSIS  (DEVICE 1)
DEVICE   CHANNEL=N  GATE=AL  TOX=500.E-8  W=10.E-4  L=1.E-4
BIAS     UD=2.  UG=0.
PROFILE  NB=1.E15  ELEM=PH  DOSE=1.E15  AKEV=40  TOX=500.E-8
+        TEMP=1000  TIME=900
END


ONE - MICRON ANALYSIS (DEVICE 2)
DEVICE   CHANNEL=N  GATE=AL  TOX=500.E-8  W=10.E-4  L=1.E-4
BIAS     UD=2.  UG=0.
PROFILE  NB=1.E15  ELEM=PH  DOSE=1.E15  AKEV=40  TOX=500.E-8
+        TEMP=1000  TIME=900
IMPLANT  ELEM=B  DOSE=3.E11  AKEV=20  TEMP=900  TIME=900
END


ONE - MICRON ANALYSIS (DEVICE 3)
DEVICE   CHANNEL=N  GATE=AL  TOX=500.E-8  W=10.E-4  L=1.E-4
BIAS     UD=2.  UG=0.
PROFILE  NB=1.E15  ELEM=PH  DOSE=1.E15  AKEV=40  TOX=500.E-8
+        TEMP=1000  TIME=900
IMPLANT  ELEM=B  DOSE=3.E11  AKEV=20  TEMP=900 TIME=900
IMPLANT  ELEM=B  DOSE=2.E11  AKEV=120
END
```

Bild 2: *Einige typische Eingabesätze.*

Eine Substratdotierung von 10^{15} cm^{-3} (NB = 1 · E 15) und eine Source-Drainimplantation mit Phosphor (ELEM = PH) einer Implantationsdosis von 10^{15} cm^{-2} (DOSE = 1 · E 15) und einer Implantationsenergie von 40 keV (AKEV = 40) sind angegeben. Die Implantation wird durch ein Schutzoxid mit einer Dicke von 500 Å (TOX = 500 · E – 8) gemacht und bei 1.000° C (TEMP = 1.000) 900 s (TIME = 900) ausgeheilt. Im zweiten Eingabesatz ist zuzüglich eine „IMPLANT"-Direktive enthalten, mit der eine Kanalimplantation mit Bor (ELEM = B), einer Dosis von $3 \cdot 10^{11}$ cm^{-2} (DOSE = 3 · E 11) und einer Energie von 20 keV (AKEV = 20) spezifiert ist. Ausgeheilt wird bei 900° C (TEMP = 900) 900 s (TIME = 900) lang. Der dritte Eingabesatz beinhaltet eine zweite „IMPLANT"-Direktive für eine zweite, tiefere Kanalimplantation mit Bor (ELEM = B), einer Dosis von $2 \cdot 10^{11}$ cm^{-2} (DOSE = 2 · E 11) und einer Energie von 120 keV (AKEV = 120). Es wird von *MINIMOS* angenommen, daß beide Kanalimplantationen gemeinsam ausgeheilt werden. Es ist sicherlich gut bekannt, daß der erste Transistor aus diesen Beispielen durch den Kurzkanaleffekt eine leicht negative Schwellspannung aufweist und daß die erste, seichte Kanalimplantation dazu dient, die Schwellspannung auf einen positiven Wert zu verschieben. Die tiefe Kanal-

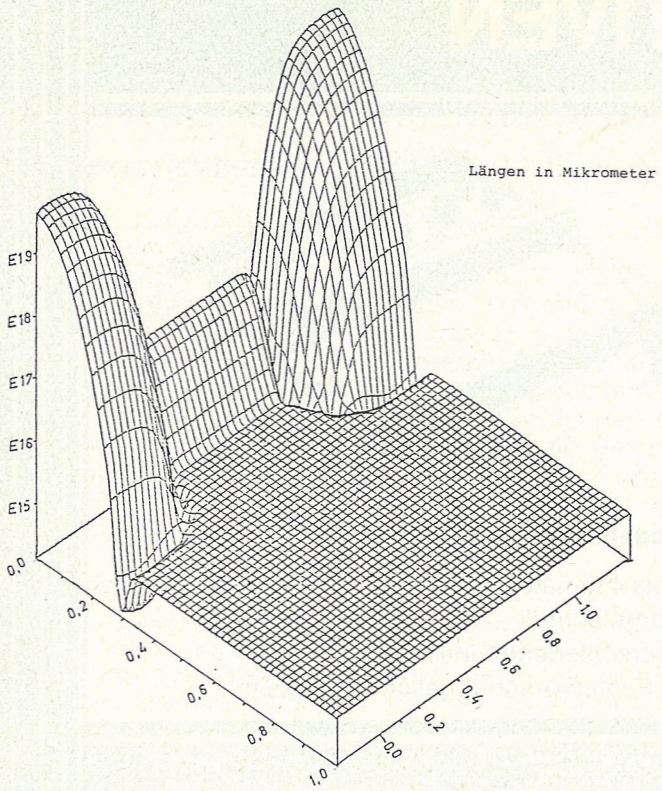

Bild 4: *Dotierungsprofil des zweiten Transistors (cm^{-3}).*

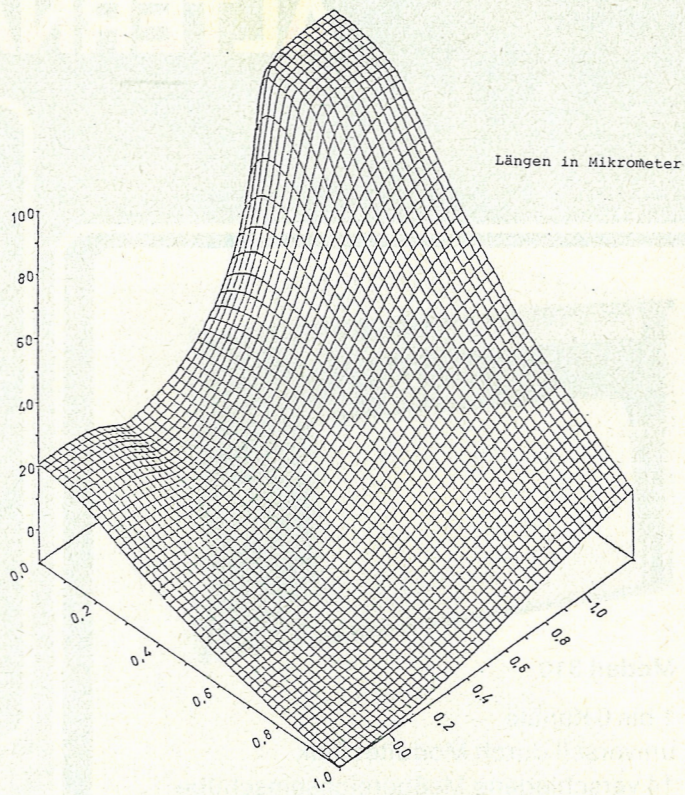

Bild 6: *Potentialverteilung im ersten Transistor (kT/q)*

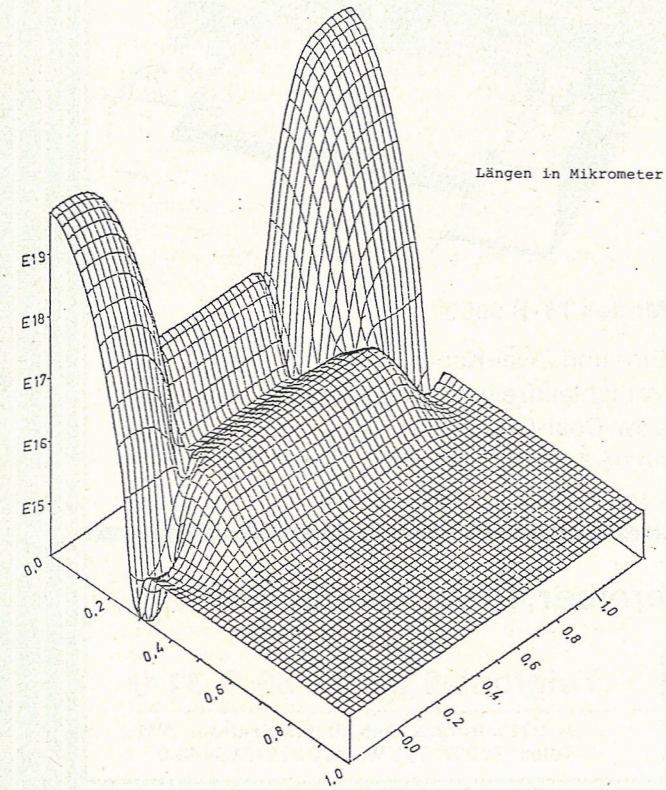

Bild 5: *Dotierungsprofil des dritten Transistors (cm^{-3}).*

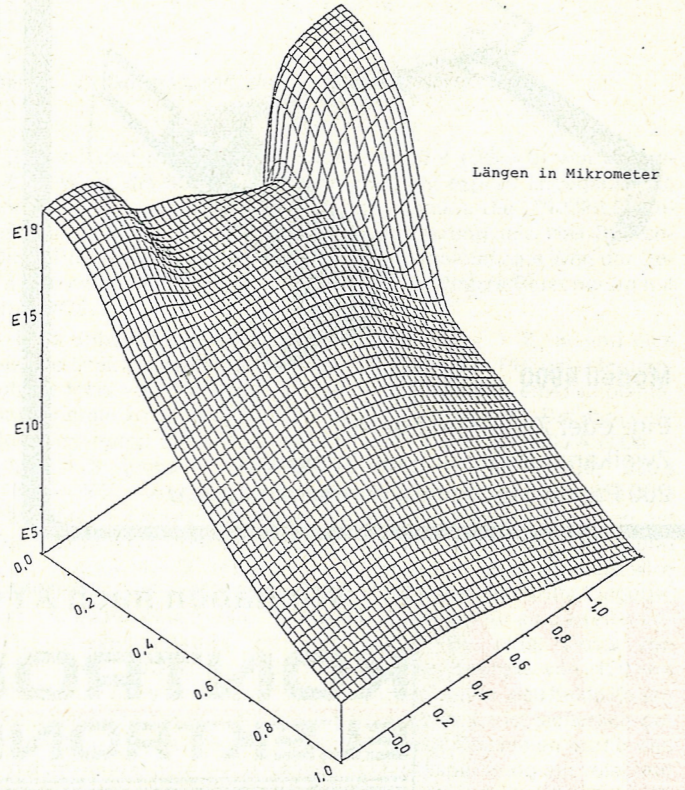

Bild 7: *Elektronendichteverteilung im ersten Transistor (cm^{-3}).*

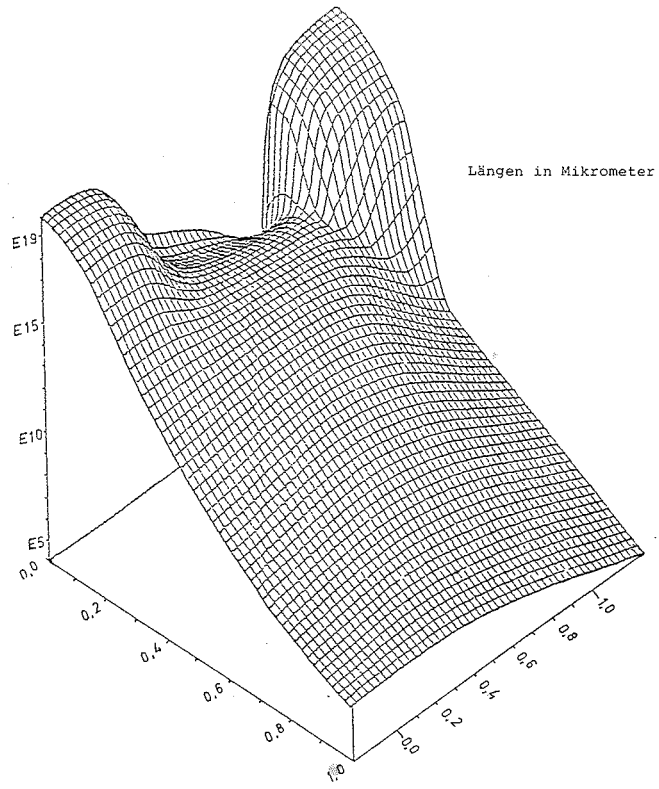

Bild 8: *Elektronendichteverteilung im zweiten Transistor (cm^{-3}).*

implantation hat den Zweck, eventuell auftretende „Punch-through" Probleme zu eliminieren. Diese Effekte werden im folgenden anhand von 3-D-Bildern der Verteilung der relevanten, physikalischen Größen im Transistorinneren erläutert.

Die berechneten Dotierungsprofile sind in den *Bildern 3–5* zu sehen. Man kann gut die Source-Drain-pn-Übergangstiefe mit 3.000 Å ablesen. Die Oberflächenkonzentration in den hochdotierten Source-Drain-Gebieten beträgt etwa $5 \cdot 10^{19}$ cm^{-3}.
Die effektive Kanallänge wird durch die Unterdiffusion auf ungefähr 0,6 µm reduziert. Die seichte Kanalimplantation ist gut in den *Bildern 4, 5* zu erkennen. *Bild 5* zeigt weiters die tiefe Implantation zur Unterdrückung des „Punch-through"-Effektes. Die Schwellspannung wurde durch die tiefe Implantation kaum beeinflußt.

Bild 6 zeigt die Verteilung des elektronischen Potentials im ersten Transistor. Der Drain-Kontakt ist rechts zu denken. In den Verarmungszonen der in Sperrichtung gepolten Drain-Bulk-Diode fällt das Potential annähernd linear ab; in den hochdotierten Source-Drain-Gebieten ist es ziemlich konstant. Eine kleine Barriere erkennt man in der Source-Kanal-Diode. Die Potentialverteilung in den Transistoren 2 und 3 wird hier nicht gezeigt, da kein merklicher Unterschied ersichtlich ist.

Bild 7 zeigt die Elektronendichteverteilung im ersten Transistor. Die Oberflächenkonzentration im Kanal ist relativ hoch, was durch die leicht negative Schwellspannung bedingt ist. Der Arbeitspunkt liegt somit im Bereich starker Inversion. Sehr gut ist in der Nähe des Drain-Kontaktes eine Trägerverarmung zu erkennen, die die sogenannte „Pinch-off"-Zone repräsentiert.

Bild 8 zeigt die Elektronendichteverteilung im zweiten Transistor. Die Oberflächenkonzentration ist, wie erwartet, durch die Kanalimplantation deutlich gesunken. Jetzt erkennt man aber eine Art Trägerkanal in einer Tiefe von etwa 2.000 Å, der durch den „Punch-through"-Effekt verursacht wird, was die Stromdichteverteilung noch wesentlich deutlicher zeigen wird.

Bild 9 zeigt die Elektronendichteverteilung im dritten Transistor. Die zweite Kanalimplantation erzwang einen monotonen Dichteabfall von der Oberfläche in das Transistorinnere, was deutlich die Unterdrückung des „Punch-through"-Effektes anzeigt.

Bild 10 zeigt die Lateralstromdichteverteilung im ersten Transistor. Zwecks besserer Sichtbarkeit ist auf der rechten Seite dieses Bildes das Komplement dieser Verteilung gezeichnet. Im Source-seitigen Teil des Kanals wird der Strom durch die transversale Feldkomponente gezwungen, an der Oberfläche zu fließen. Jedoch schon in der Mitte des Kanals, ein typischer Kurzkanaleffekt, spreizt der Stromfluß durch den Einfluß der Drain-Spannung auf. Es sollte auch angemerkt werden, daß der Kanal relativ weit ist. Die Ursache hiefür ist in einer Überlagerung von Inversionsstrom und „Punch-through"-Strom zu finden.

Die Lateralstromdichte und das zugehörige Komplement für den zweiten Transistor ist in *Bild 11* zu sehen. Man erkennt einen massiv ausgeprägten „Punch-through"-Effekt. Der Stromfluß findet in einem weiten Kanal im Substrat statt. Nur ein kleiner Rest des Inversionsstromes ist an der Oberfläche zu erkennen.

Bild 12 zeigt die Lateralstromdichteverteilung im dritten Transistor. Der „Punch-through"-Kanal ist gänzlich verschwunden; der gesamte Stromfluß findet an der Oberfläche statt. Die zwei zuzüglichen Spitzen in diesen Zeichnungen sind keineswegs zufällig, sondern einfach physikalisch begründbar. Der Stromfluß beginnt in einer schmalen Schicht unter dem Source-Kontakt. Er spreizt jedoch sofort im niederohmigen Source-Gebiet auf, wird aber am Anfang des Kanals durch das transversale Feld wieder an die Oberfläche gezogen. Durch die Drain-Spannung wird der Kanal dann wieder aufgeweitet. Da der gesamte Strom jedoch durch den Drain-Kontakt fließen muß, wird er unter dem Kontakt wieder zusammengedrängt.

Die Ausgangskennlinie für eine Gate-Spannung von 1 V zeigt *Bild 13*. Für Vergleichszwecke sind die Simulationsergebnisse ohne Beweglichkeitsmodellierung als strichlierte Kurven eingezeichnet. Der starke Einfluß dieses Effektes ist deutlich zu erkennen und ist für den ersten Transistor besonders ausgeprägt.

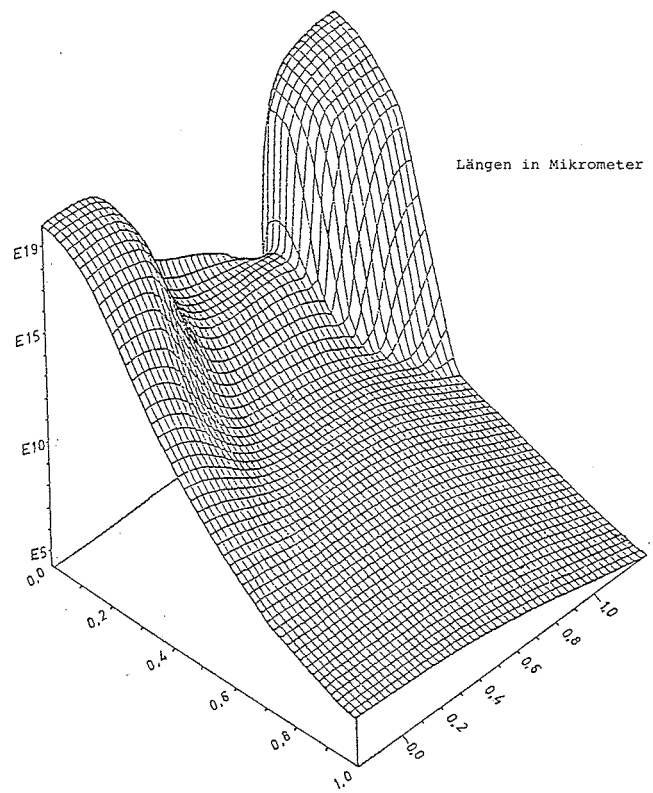

Bild 9: *Elektronendichteverteilung im dritten Transistor (cm^{-3}).*

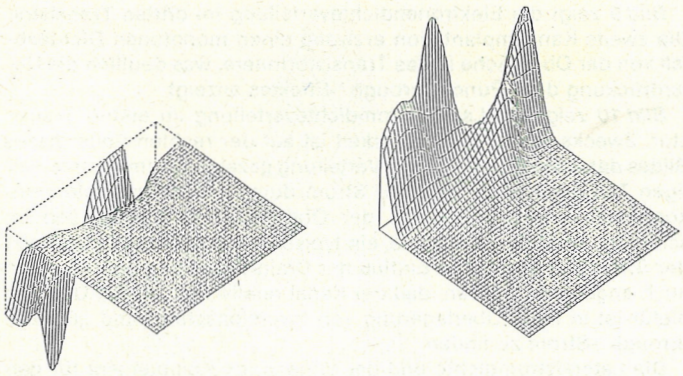

Bild 10: *Lateralstromdichteverteilung im ersten Transistor.*

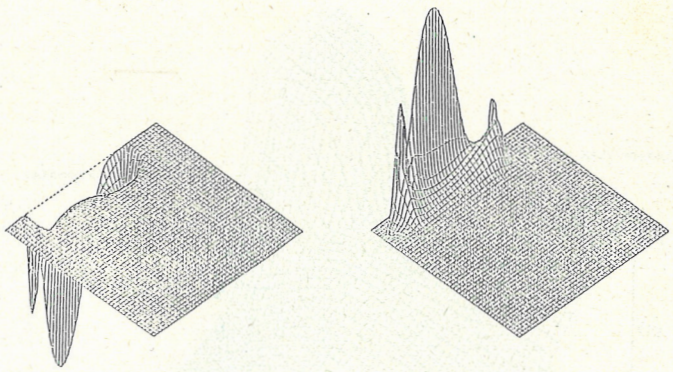

Bild 12: *Lateralstromdichteverteilung im dritten Transistor.*

Bild 14 zeigt die Unterschwellspannungskennlinien für zwei verschiedene Drain-Spannungen. Die durchgezogenen Kurven bedeuten 2 V, die gestrichelten 100 mV. Bei 100 mV ist die Steilheit für alle drei Transistoren identisch. Sie wird durch den zusätzlichen „Punch-through"-Strom bei 2 V Drain-Spannung für Transistor 1 und 2 beträchtlich vermindert. Die Verschiebung der Kennlinie bei unterschiedlichen Drain-Spannungen, die durch den Kurzkanal-Effekt verursacht wird, ist beim dritten Transistor minimal.

4. Zusammenfassung

Im vorangegangenen wurde ein benutzerorientiertes Programm zur zweidimensionalen numerischen Simulation planarer MOS-Transistoren vorgestellt. Mit ausgefeilter Programmiertechnik und modernen numerischen Algorithmen werden niedrige Computerkosten erzielt. Als hauptsächliche Motivation für die Entwicklung dieses Programmes sind die folgenden Gründe zu nennen:

- Das grundlegende Verständnis moderner MOS-Transistoren zu vertiefen.
- Ein Bindeglied zwischen Technologiemodellierung und computerunterstütztem Schaltungsentwurf zu schaffen.
- Ein einfach bedienbares, aber sehr genaues MOS-Simulationsprogramm zur Verfügung stellen zu können.

Es wurde gezeigt, daß die genannten Forderungen befriedigend erfüllt werden konnten. Insbesondere ermöglicht die Kenntnis der Verteilung wichtiger physikalischer Größen wie Ladungsträgerdichten und Stromdichten einen tiefen Einblick in die Funktion eines Bauelementes, der auf keine andere Weise in dieser Art gewonnen werden kann.

Besonderer Dank sei der Siemens AG, München, für die Bereitstellung von Testtransistoren gewidmet. □

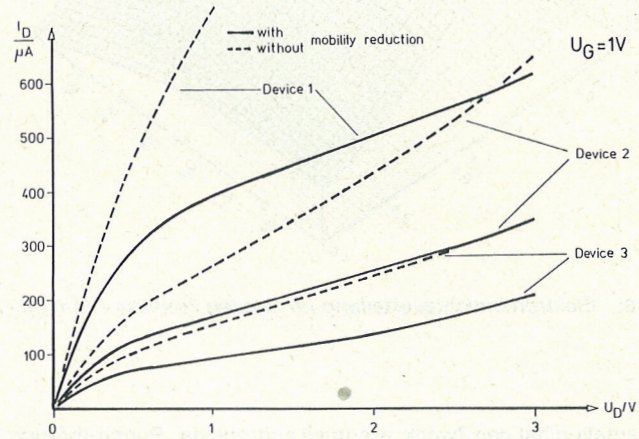

Bild 13: *Ausgangskennlinien.*

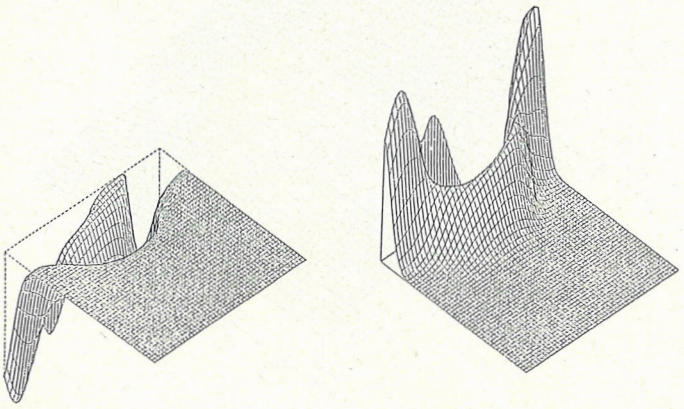

Bild 11: *Lateralstromdichteverteilung im zweiten Transistor.*

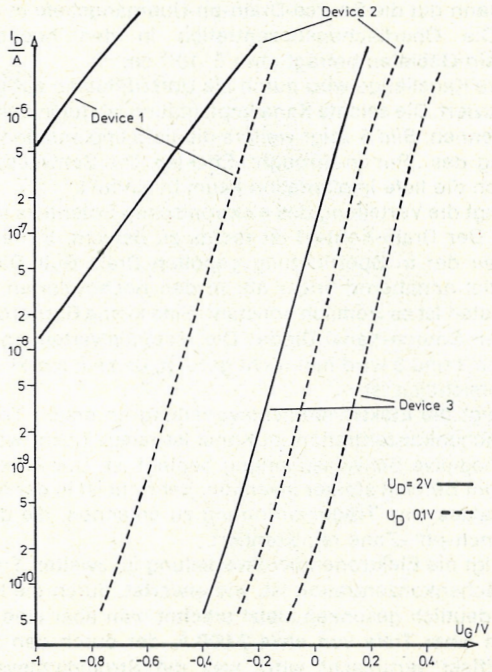

Bild 14: *Unterschwellspannungskennlinien.*