

KAPAZITÄTSBERECHNUNG BEI VLSI-STRUKTUREN

F. Straker, S. Selberherr

Inst. für Allgemeine Elektrotechnik und Elektronik, TU Wien

ZUSAMMENFASSUNG:

Die Laplacegleichung wird auf einem zweidimensionalen Bereich numerisch gelöst. Der Bereich repräsentiert einen Querschnitt durch einen VLSI-Chip. Er kann mehrere Leiter und verschiedene Dielektrika enthalten. Die Oberflächenladungen auf den Leitern werden durch Integration der Normalkomponente der elektrischen Verschiebung über sämtliche Leiteroberflächen ermittelt. Die Berechnung der Kapazitäten geschieht durch Lösen eines linearen Gleichungssystems, dessen Koeffizienten sich aus den Leiterpotentialen ergeben. Zur weiteren Erläuterung präsentieren wir ein Anwendungsbeispiel.

1) Einleitung

Wegen der fortschreitenden Miniaturisierung elektrischer Bauelemente und der daraus resultierenden hohen Packungsdichten wird die genaue Kenntnis der Bauelement- und Verdrahtungskapazitäten immer wichtiger. Durch die Skalierung der horizontalen Dimensionen werden Querschnitt und Abstand der Verbindungsleitungen verkleinert. Dadurch steigt das Produkt Widerstand * Kapazität, das eine Kenngröße für die Schnelligkeit einer Leitung ist. Die Leitungskapazität belastet den Transistorausgang und verschlechtert die Schalteigenschaften.

Die Skalierung der Transistoren und Verbindungsleitungen gestattet es, die Anzahl der Funktionselemente pro Chip zu erhöhen. Die neu dazugekommenen Elemente müssen untereinander und mit den bereits vorhandenen Baugruppen verbunden werden. Dadurch erhöht sich die Anzahl der Leitungen. Fortschritte in der Technologie und in der Fertigung bringen eine Vergrößerung

der Chipfläche mit sich. Das bewirkt ein Ansteigen der mittleren Leitungslänge. Um die Auswirkungen dieser Effekte auf die Funktion der Schaltung schon in der Entwicklungsphase zu erfassen, benötigt man die Werte der Koppel- und Substratkapazitäten.

2) Berechnung von Verdrahtungskapazitäten

Das Problem der Kapazitätsberechnung in Mehrleitersystemen wird oft in Integralform formuliert. Diese Vorgangsweise verwendet z.B. der Autor von /5/. Bei dieser Methode liegt die Schwierigkeit im Auffinden und Berechnen der entsprechenden Green'schen Funktion. Sie wird durch die Geometrie und die Randbedingungen bestimmt. Die Integralform ist daher zur Berechnung vieler verschiedener Geometrien nicht geeignet. Differentielle Methoden werden in /1,2,6/ verwendet. Kapazitätsberechnung mittels orthogonaler Reihenentwicklung ist in /3/ behandelt. Das dreidimensionale Mehrleiterproblem wird in /4/ untersucht.

Gleichung (1) definiert die Kapazitätskoeffizienten in einem n-Leitersystem:

$$Q_i = \sum_{\substack{j=1 \\ j \neq i}}^n C_{ij} (\phi_i - \phi_j) + C_{ii} \phi_i \quad (1)$$

Q_i bezeichnet die Ladung und ϕ_i das elektrostatische Potential des Leiters i . C_{ij} ist die Koppelkapazität zwischen den Leitern i und j , C_{ii} ist die Kapazität des Leiters i gegen einen unendlich weit entfernten Referenzleiter. Diese Arbeit beschäftigt sich mit der Berechnung der $1/2 \cdot n(n+1)$ Koeffizienten C_{ij} .

Die Laplacegleichung wird auf einem zweidimensionalen Bereich numerisch gelöst. Der Bereich repräsentiert einen Querschnitt durch einen VLSI-Chip. Er kann mehrere Leiter und verschiedene Dielektrika enthalten. Die Oberflächenladungen auf den Leitern werden aus der Potentialverteilung ermittelt.

Für den nichttrivialen Fall von mehr als zwei Leitern ($n > 2$)

verwenden wir mehrere Lösungen der Laplacegleichung, die mit unterschiedlichen Randbedingungen bei gleicher Geometrie gewonnen werden. Die i -te Lösung wird mit

$$\phi_j = 1, j=1, \dots, i; \quad \phi_k = 0, k=i+1, \dots, n.$$

berechnet. So erhält man Koeffizienten und rechte Seite eines überbestimmten linearen Gleichungssystems

$$A c = q \quad (2).$$

c und q sind Vektoren mit den Komponenten C_{ij} und Q_i . Führt man in (2) die Singulärwertzerlegung von A

$$A = UQV^T \quad (3)$$

ein und löst die Gleichung für den unbekanntem Vektor c ergibt sich

$$c = VQ^{-1}U^T q \quad (4).$$

Die numerische Berechnung von (4) erfolgt mittels eines Computerprogrammes. Das Gleichungssystem (2) ist überbestimmt. Statt Gaußelimination oder ähnlichen Lösungsverfahren muß die QR-Zerlegung angewendet werden. Diese Vorgangsweise bietet bei nur unerheblich größerem Rechenaufwand einige Vorteile. Durch Verwendung des QR-Algorithmus' wird die bestkonditionierte Gleichung am Anfang der Zerlegung ausgewertet. Schlecht-konditionierte Gleichungen beeinflussen das Ergebnis wenig oder überhaupt nicht. Das heißt die Ergebnisse sind numerisch stabil und genau. Außerdem liefert das Verfahren eine Kennziffer, die es erlaubt die Güte der Lösung einfach und schnell zu beurteilen. Fehler in der Programmeingabe können so erkannt werden.

3) Anwendungsbeispiele

Um die Methode und das Computerprogramm zu testen, wurden bereits veröffentlichte Daten nachgerechnet. Vergleiche mit /2/ und /5/ zeigen eine Übereinstimmung der Ergebnisse im Bereich 2%...10%.

Simulation Geometry

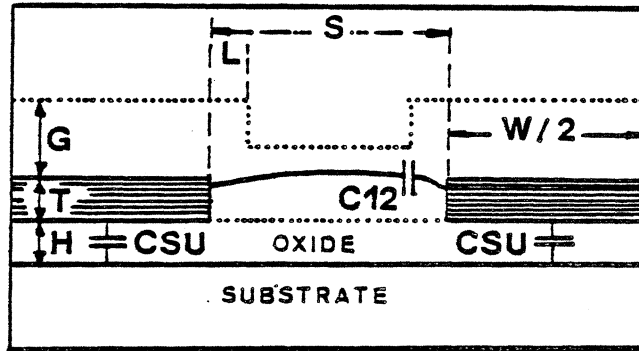


Fig. 1

MUTUAL CAPACITANCE C12

Parallel Plate
Capacitance

$$C_{12} = \frac{\epsilon_0 \cdot \epsilon_r \cdot 1}{6 \cdot (S/W)}$$

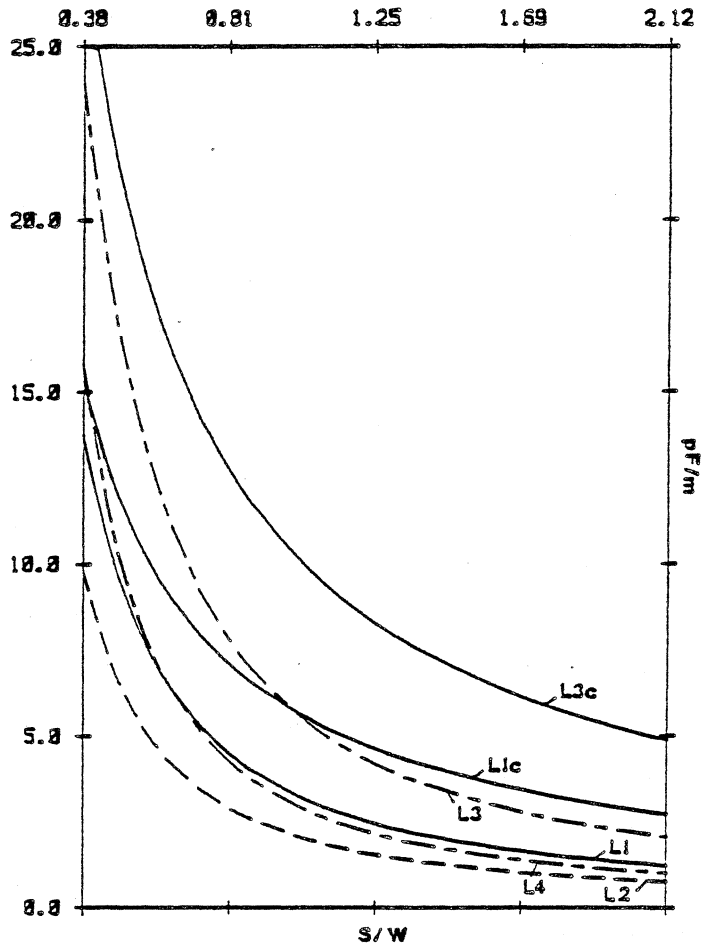


Fig. 2

Eine Struktur, die in integrierten Schaltungen oft vorkommt, ist in Fig. 1 abgebildet. Es handelt sich um zwei parallele Leiterbahnen über einem Halbleitersubstrat. Der Einfluß des Leiterabstandes und des Passivierungsmaterials auf die Kapazitäten C_{12} und C_{SU} wurde untersucht. Von den Leiterbahnen ist in Fig. 1 nur jeweils der halbe Querschnitt gezeichnet. Für alle weiteren Ausführungen gilt: $W/T=6$, $H/T=1$, $L/T=.75$. Der Leiterabstand variierte zwischen $S/W=.375$ und $S/W=2.125$. Vier Leitungstypen wurden studiert:

Oxidpassivierung $\epsilon_r=3.9$ $G/T=1.5$ (L1) und $G/T=.75$ (L2)
Nitritpassivierung $\epsilon_r=7.0$ $G/T=1.5$ (L3) und $G/T=.75$ (L4)

Die Koppelkapazität C_{12} aufgetragen über dem Leiterabstand S/W zeigt Fig. 2. Für Vergleiche zwischen den Kurven werden im Folgenden die Werte $S/W=.375=a$, $S/W=1.25=b$ und $S/W=2.125=c$ herangezogen. Vergleicht man die Kurven L2 und L3 so erhält man als Verhältnis der Kapazitäten an Punkt a den Wert 2.44, an b 2.80 und an c 2.73. Die Dicke und Art des Passivierungsmaterials können eine Änderung der Kapazitätsverhältnisse um einen Faktor 2.8 im Extremfall bewirken.

Das Passivierungsmaterial beeinflusst die Kapazität über seine Dielektrizitätskonstante ϵ_r . Verwendet man eine dicke Passivierungsschicht (L1-L3), erhält man Nitrit/Oxid Kapazitätsverhältnisse von 1.63, 1.71 und 1.58 an den obigen Vergleichspunkten. Die Materialabhängigkeit ist bei mittlerem Abstand am größten. Für die dünne Passivierung (L2-L4) erhält man 1.61, 1.40 und 1.33 als Verhältniszahlen. Bei kleinen Abständen ist der Materialeinfluß am größten.

Außer den Kurven L1...L4 sind in Fig. 2 zwei weitere Kurven mit den Bezeichnungen L1c und L3c enthalten. Diese Kurven wurden mit der Formel für den klassischen Plattenkondensator für die Fälle L1 bzw. L3 berechnet. Diese Abschätzung liegt im Durchschnitt um etwa 150% über den wahren Werten.

SUBSTRATE CAPACITANCE CSU

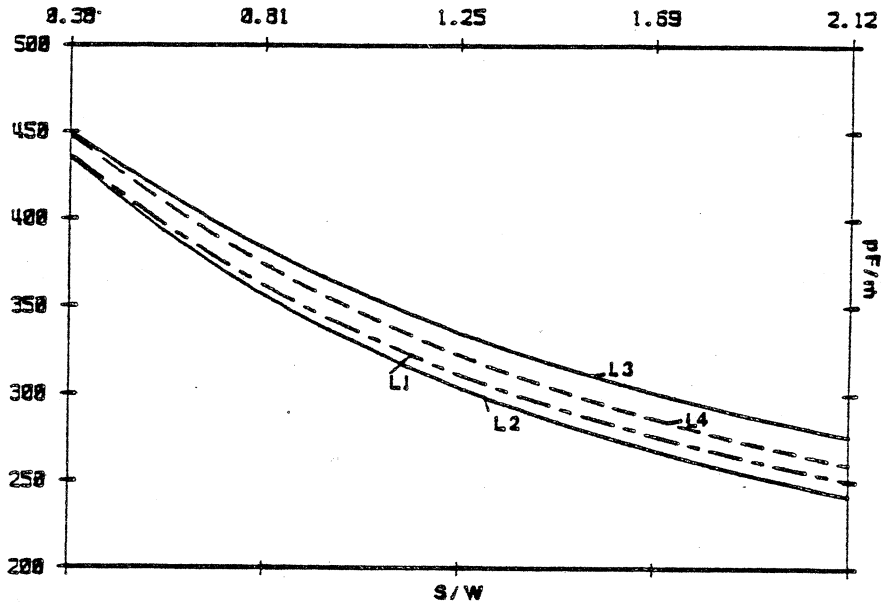


Fig. 3

Fig. 3 zeigt die Substratkapazität für die Fälle L1...L4 über dem Leiterabstand S/W . Vergleicht man L2-L3 an den Punkten a und c erhält man Verhältniszahlen von 1.025 und 1.135. Die Substratkapazität zeigt also eine geringe Abhängigkeit vom Passivierungsprozeß. Schichtdicke und Material wirken sich mit weniger als 10% aus. Das kommt nicht unerwartet. Das relevante elektrische Feld breitet sich hauptsächlich zwischen Leiterunterkante und Substrat in der Oxidschicht aus. Mit $W/T=6$ sind die Randeffekte noch gering. Für abnehmendes W/T Verhältnis ist eine größere Variation der Substratkapazität zu erwarten.

4) Zusammenfassung

Um die erfolgreiche Realisierung einer VLSI Schaltung zu ermöglichen, ist bereits in der Entwurfsphase die Kenntnis der Verdrahtungskapazitäten notwendig. In dieser Arbeit wurden Substrat- und Koppelkapazitäten von vier Leitungstypen in Abhängigkeit des Leitungsabstandes untersucht. Der Passivierungsprozeß hat starken Einfluß auf die Koppelkapazitäten. Die Substratkapazitäten werden davon weniger berührt. Die

Abhängigkeit vom verwendeten Passivierungsmaterial ist bei dicken und dünnen Passivierungsschichten verschieden.

Diese Arbeit wurde von der SIEMENS AG München und vom Fonds zur Förderung wissenschaftlicher Forschung (Projekt S22/11) unterstützt. Die Autoren bedanken sich bei Dipl.Ing. D. Schornböck und dem gesamten Rechenzentrum der TU Wien für den guten Computerzugriff. Prof. Dr. H. Pötzl danken wir für viele nützliche Hinweise und Anregungen.

Literatur

- /1/ Benedek Peter,
"Capacitances of a Planar Multiconductor Configuration on a Dielectric Substrate by a Mixed Order Finite-Element Method",
IEEE Journal of Circuits and Systems, CAS-23/5, May 1976,
pp.279-284
- /2/ Dang R. L. M., Shigyo N.,
"Coupling Capacitances for Two-Dimensional Wires",
IEEE Electron Device Letters, EDL-2/8, August 1981,
pp.196-197
- /3/ Ruehli A. E., Brennan P. A.,
"Efficient Capacitance Calculations for Three-Dimensional Multiconductor Systems",
IEEE Transactions on Microwave Theorie and Techniques,
MTT-21/2, Feb. 1973, pp.76-82
- /4/ Ruehli A. E.,
"Survey of Computer-Aided Electrical Analysis of Integrated Circuit Interconnections",
IBM Journal of Research and Development, Vol. 23/6, Nov. 1979, pp.626-638
- /5/ Silvester P., Benedek P.,
"Microstrip Discontinuity Capacitances for Right-Angle Bends, T Junctions, and Crossings",
IEEE Transactions on Microwave Theorie and Techniques,
MTT-21/5, May 1973, pp.341-346
- /6/ Weeks W. T.,
"Calculation of Coefficients of Capacitance of Multi-conductor Transmission Lines in the Presence of a Dielectric Interface",
IEEE Transactions on Microwave Theorie and Techniques,
MTT-18/1, Jan. 1970, pp.35-43
- /7/ Wexler A.,
"Computation of Electromagnetic Fields",
IEEE Transactions on Microwave Theorie and Techniques,
MTT-17/8, Aug. 1969, pp.416-439